

FPGA を用いる学生実験教材の開発 Developing Laboratory Materials using FPGAs

鈴木健一

Ken-ichi Suzuki

概要

Laboratory classes offer good opportunities for students to integrate their knowledge for solving a problem. Designing logic circuits is one of the most important topics in the laboratory of information technology. However, in our Department of Information and Communication Engineering, the contents of the laboratory have not been updated for a long time and eventually to have some out of date topics. This article shows our new logic circuit laboratory topics beginning in 2018, where an FPGA board is given to each student realizing one unit per student laboratory style. Using the FPGA board, a student can design logic circuits based on a schematic diagram, HDL, or HLS, which are common tools in the information technology today. On the other hand, another serious problem is insufficient number of instructors in laboratory classes. In order to avoid the problem, the LMS introduced in 2017 may be exploited to easily observe the progress of the work in the class. Although the new style laboratory classes have not begun yet, the preliminary evaluations for the laboratory have been carried out and the results are shown in this article. Based on the instruction guide for the new laboratory, 8 junior students are committed to the preliminary laboratory with 2 senior students as teaching assistants. As for the elapsed time, the variance between students is quite large especially for the work in the first week, which shows that some additional advanced assignments will be necessary for superior students. The topics with large elapsed time variance are the ones requiring to well-consider what they are doing. The preliminary laboratory has also shown that the LMS can be effectively utilized to observe the students in a laboratory class, which enables the teacher to detach a TA to the students in trouble.

1. はじめに

工学技術者を育成するにあたり、学生実験は、座学で学んだことを統合して問題解決する非常に貴重な機会である[1][2]。東北工業大学(以下、本学)工学部情報通信工学科(以下、本学科)では、基礎科目を一通り学んだ後の2年次から3年次にかけて、情報通信工学実験Ⅰ～Ⅲを設定しており、卒業研修に至るまでの重要な科目と位置付けている。

本学科は、情報工学と通信工学を学ぶ学科であり、実験科目にも情報系の実験テーマと通信系の実験テーマが配分されている。情報系の実験テーマとして重要な位置を占めているものの一つとして、論理回路の設計がある。論理回路は、デジタル回路としても知られ、1(真)と0(偽)だけを扱うもので、コンピュータを始めとする現代の情報通信技術の根幹をなすものである。実験では、

論理回路の設計ならびに動作を実際に体験し、座学で学んだ情報技術について、理解を深めさせることを目的としている[2]。

このように、重要な役割を持つ実験テーマであるが、内容の更新が長く行なわれておらず、現在の論理回路設計の状況を踏まえると相応しくない部分も見受けられるようになってしまった。

まず、使用している実験機材が古く、現在の情報通信機器にはまず使われないような回路が実験課題として使用されている。また、回路の設計手法として、手書きの回路図の使用を前提としているが、現在では、コンピュータを使った HDL (Hardware Description Language; ハードウェア記述言語) や HLS (High Level Synthesis; 高位合成) による設計が主流となっており、多くの高等教育機関の学生実験でも採用されている[4][5][6][7]。これらの時代の変化に合わせた実験テーマの刷新が必要である。

2017年10月20日受理
工学部情報通信工学科 准教授

一方で、本学を取り巻く経済的な状況も大きく変化し、実験のためだけに多数の教職員を確保できる見込みがなくなり、少数の教職員で多数の学生の実験指導を行なわなければならない。実験指導の効率化が急務である。

以上の状況を踏まえ、本報告では、2018年度以降の情報通信工学実験 I~II で実施予定の論理回路設計に関する実験テーマの内容について、検討する。実験指導の効率化と現代的な回路設計に対応するために、書き換え可能ハードウェアの一種である FPGA を使用する。FPGA 搭載ボードには安価なものもあり、学生1名ごとに1枚のボードを用意することも可能である。また、LMS (Learning Management System) を活用し、学生ひとりずつの対応を避け、少数の教職員と TA だけで実験が可能な体制を整備する。

以下、第2節では学生実験の論理回路設計に求められる要件を整理する。第3節で、これまでの本学科の論理回路実験の問題点をまとめ、第4節で新しい実験内容の基本方針を示す。第5節では、新しい論理回路実験の詳細を述べる。第6節では、新しい実験の実施を想定して実施した予備評価とその結果について示し、新しい実験方式の有効性の検証を行なう。第7節はまとめである。

2. 論理回路設計に関する学生実験の要件

現在広く用いられている論理回路の設計手法としては、昔ながらの回路図を使う方法、HDL による方法[8][9]、または、HLS による方法[10]がある。

回路図を使う方法は、回路が大規模化し、なおかつ、個々の部品レベルの設計だけでなく、チップ内の回路設計も行なわなければならない現在の回路設計では適用に限界がある。その一方で、直感的に理解しやすいという利点もあるため、小規模の回路やプリント基板レベルの設計では、現在でも広く用いられる。また、論理回路設計の教育という観点からも、直感的に「目で見て分かる」という性質は重要であるため、完全に捨てることはできないと考えられる。図1に、回路図による論理回路の設計の例を示す。

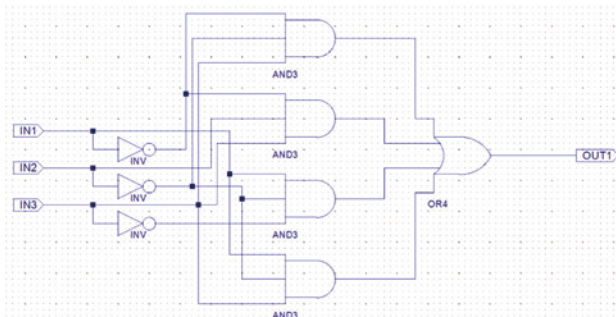


図1 回路図による論理回路設計の例

HDL による設計では、論理ゲートレベルでの設計もちろん可能な上、回路の動作(ビヘイビア)レベルでも記述できるため、複雑な動作をソフトウェア開発に近い感覚で、ハードウェア設計を行なうことができる。これにより、大規模な回路でも、複雑さのために破綻することなく、取り扱うことができ、現在の論理回路設計の主流となっている。図2に、HDL (Verilog HDL)による論理回路設計の例を示す。プログラミング言語と同じように、入出力の振舞いを記述することで回路設計ができることが分かる。

```
module topLevel(input [2:0] IN_SW,
                output OUT_LED);
  assign OUT_LED =
    ~IN_SW[0] & ~IN_SW[1] & IN_SW[2] |
    ~IN_SW[0] & IN_SW[1] & IN_SW[2] |
    IN_SW[0] & ~IN_SW[1] & ~IN_SW[2] |
    IN_SW[0] & ~IN_SW[1] & IN_SW[2];
endmodule
```

図2 HDL による論理回路設計の例

HDL を使用すると、ハードウェアの構成や動作をソフトウェアに近い感覚で、テキストエディタを使って設計することが可能となるが、その文法や記述方法には、一般のソフトウェアに比べると自由度が低かったり、実装先のハードウェアを強く意識しなければいけなかったり、といった弱点がある。そのため、ハードウェアに明るくない開発者が回路設計をする場合には、HLS による設計も行なわれるようになってきた。HLS による設計では、C 言語などのソフトウェア技術者が一般に使う言語で論理設計を行ない、それを HDL に変換することで回路設計を行なう。これにより、ハードウェア設計の経験がほとんどなくても、論理回路を設計することができる。

以上のように、現代の論理回路の設計には、大別して3種類の方法が使われており、情報通信技術者の育成という観点からは、これらの手法について一通り学ばせておく必要がある。したがって、本学科の学生実験のテーマとしては、回路図による設計手法、HDL による設計手法、HLS による設計手法を網羅しなければならない。

一方、かつては学生実験担当の教職員の配属を得ることができていたが、本学の置かれた財務状況から、実験を担当する教職員の補充には期待できず、今後は、ますます限られた人的資源を最大限に活用した実験体制の構築が求められる。

3. 従来の論理回路実験

本学科の学生実験は下記4科目からなっているが、2017年度までは、論理回路設計に関する実験は実験Iに2週(計6コマ)設定されているだけ

であった。

- ・工学基礎物理実験
- ・情報通信工学実験 I
- ・情報通信工学実験 II
- ・情報通信工学実験 III

これは、本学科が通信工学科として設立されたという歴史的な事情から、情報系のテーマを組み込むことに抑制的であったことに関係していると思われる。

3.1 内容と実験機材

2017 年度までの実験[2]では、実験機材として、論理回路実習装置(岩崎通信機製 ITF-02)と四則演算回路実習装置(同 ITF-07)を使用している。

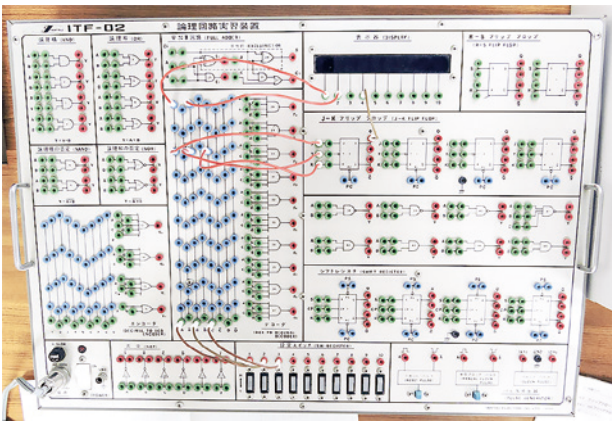


図 3 旧実験機材 ITF-02

ITF-02 (図 3) は、内部に基本論理ゲート多数とクロック信号発生装置を持ち、実験者は、装置表面の端子間をジャンプワイヤで配線することで、基本論理ゲートを使った各種回路を構成することができる。構成した回路に対し、単発クロックや連続クロックをスイッチにより供給することができ、汎用の入出力を実現できる入力スイッチや LED を持っている。これにより、基本的な論理回路の動作を確認することができる装置となっている。

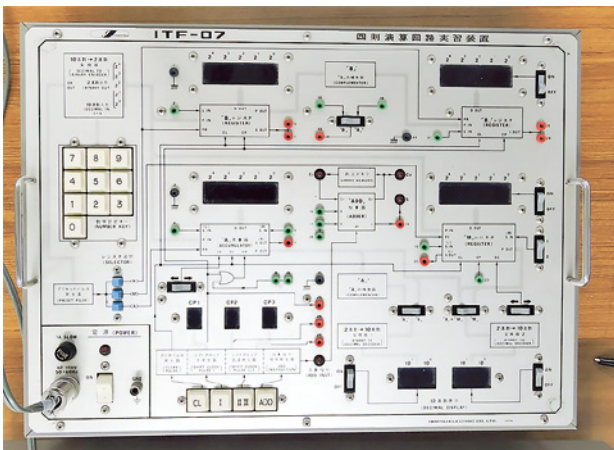


図 4 旧実験機材 ITF-07

ITF-07 (図 4) は、内部に 1 ビット加算器、補数器、累算器、レジスタ、エンコーダ、デコーダを持ち、ビット毎加減算を正しい手順で繰り返すことで、多ビットの四則演算を行なう機能を持った装置である。これらの実習装置を使い、下記内容の実験を行ってきた。

- ・基本論理ゲートの動作と真理値表
AND, OR, NOT, NOR, NAND ゲートを ITF-02 上で配線し、真理値表を作成。
- ・ド・モルガンの定理の確認
ITF-02 上でド・モルガンの定理を確認。
- ・任意の回路を NAND ゲートで実装できることを確認。
ITF-02 上で NAND だけで配線して確認。
- ・XOR 回路
XOR ゲートを AND, NOT, OR で配線して実現。真理値表を作成し確認。
- ・加算器
半加算器と全加算器を基本論理ゲートで配線。真理値表を作成し、確認。
- ・エンコーダとデコーダ
ITF-02 上に配線して確認。
- ・RS フリップフロップ
状態遷移表と特性表の作成。
- ・JK フリップフロップ
状態遷移表と特性表の作成。
- ・T フリップフロップ
特性表の作成。
- ・シフトレジスタ
4 ビットシフトレジスタのタイムチャートを作成。
- ・10 進カウンタ
10 進カウンタのタイムチャートを作成。
- ・累算器を用いた加算回路
ITF-07 を用いて、指定された手順でスイッチを動かし、加算を行なう。
- ・累算器を用いた減算回路
ITF-07 を用いて、指定された手順でスイッチを動かし、減算を行なう。

旧方式での実験の様子を図 5 に示す。



図 5 旧実験装置を使った実験の様子

3.2 従来の論理回路実験の問題点

ITF-02 による基本ゲートレベルの動作の理解については、あらゆる論理回路の基本となるものであり、現代的にも意味は失われていない。一方、1980年代よりマイクロプロセッサが広く一般に普及し、四則演算は専用演算器で行なうのが常識となつてから久しく、ITF-07による1ビット単位の累算による加減算を学生実験で行なう意義はほとんどなくなっている。ビット単位の累算を繰り返させるよりも、複数の全加算器を組み合わせた桁上げ伝播加算を紹介するほうが、直感的にも分かりやすく、現実の演算器の理解にも役立つからである。

また、組み合わせ論理回路に関する実験では、ド・モルガンの定理を確認させているが、これを実際に活用する場面は少なく、実用回路としては半加算器と全加算器の実験しか行なっておらず、不十分である。

加えて、ITF-02, ITF-07 ともに高額(参考価格 20万円~40万円)の機器であり、学生数に対して、十分な台数を用意することは困難である。これまでは、学生を複数のグループに分け、週変わりでの他の実験テーマと入れ替えながら、毎回、数名ずつ実験を行なわせるようにしてきた。この方式では、実験テーマ毎に少なくとも1名の指導担当者を毎週、手配する必要があるが、指導できる人材の確保の点から、困難になってきている。近年は、複数の実験テーマを一人の教職員が掛け持ちするとともに、学部上級生や大学院生のTAを活用することで、なんとか実施してきたが、抜本的な解決が求められている。また、複数人での実験の場合、いずれかの学生が「見ているだけ」となることもあり、主体的な学びができないことがある。

以上をまとめると、現状の本学科の論理回路に関する学生実験について、下記の問題点があると言える。

(1) 実験内容が現代の論理回路設計に合致していない。

組み合わせ論理回路でド・モルガンの定理を確認するなど、実用性が考慮されていない。1ビット累算器を使った加減算は、現在となつては、意味がない(ITF-07に至っては、メーカーでも製造中止である)。HDLやHLSを使った回路設計は考慮すらされていない。

(2) 実験機器が高価である。

実験に参加する人数に対して、十分な数の実験機器を用意することができず、交替で使用することになる。それをカバーするには、複数の実験テーマを並列に実施するしかなく、実験指導に当たる教職員が多数、必要となる。

(3) 実験指導に多くの人的資源が必要である。

上記の実験機器が高価であることにも関連するが、少数の担当者で実験が実施できることが望ましい。

4. 新しい論理回路実験の概要

前節で指摘した問題点を解決するために、2018年度からの学生実験では、論理回路関連のテーマについて、大きな変更を行なう予定である。本報告では、その変更点について紹介し、予備評価により、実施時に生じうる問題点の洗い出しと実験の効果について検証する。

FPGA (Field Programmable Gate Array)は、論理ゲートと書き換え可能な配線ロジックからなるハードウェアであり、機器に組み込んだ後で、配線ロジックを外部から書き換えることにより、随時、論理的な動作を変更することができる。外部からは、書き換え可能なハードウェアとみなすことができるため、試作や、更新の必要な機器に広く用いられるようになってきている。

書き換え可能であるという性質から、論理回路の学習にも用いることができ、量産効果により、低価格なものが入手可能である。低価格な製品の性能は良くないが、学生実験向けの学習用であれば問題にならない。そのような用途の製品も市販されており、周辺回路を含むボード込みでも1万円台から購入できる。これまでに使ってきた実習装置と比べて圧倒的に低価格であり、学生実験に参加する学生1名ごとに1セットずつ揃えることも可能である。

ここで、FPGAに書き込む設計データはPC等を使って作成するため、学生1名ごとにPCを1台用意しなければならない、という問題を解決しなければならない。幸い、本学のPC演習室環境は充実しており、本学科の1クラスを収容できる演習室が八木山キャンパスだけでも複数教室ある。これを利用し、FPGAボードだけを演習室に持ち込むことで、演習室を論理回路の実験環境として使用することができる。

FPGAに書き込めるハードウェアは、学生実験レベルなら十分過ぎるほどの自由度があり、これまでの実習装置では実現できなかった複雑な回路も容易に実装することができる。簡単な論理ゲート1個の回路から、本格的なマイクロプロセッサの設計まで、1つのFPGAで全てカバーできるのである。もちろん、多ビットの加算器など簡単に実装できてしまう。

また、設計はPC上で行なうため、HDLやHLSによる設計がむしろ基本であり、現在の主流の設計方法を学生実験で体験することができる。また、回路図ベースの設計もサポートされているから、

学生がそれまでの講義で学んできた「論理回路」と直感的に一致する設計もできる。

学生実験の指導には多くの人手が必要である。たしかにこれは真実であるが、実験指導の全過程にわたって、人手が必要なわけではない。論理回路の実験に関して、指導の過程を分析すると、下記のようなになる。

- (1) 原理の説明 (スクリーン, ディスプレイ等を使い, 教職員 1 名で可能)
- (2) 実験手順の説明 (スクリーン, ディスプレイ等を使い, 教職員 1 名で可能)
- (3) 実験開始, 質問対応, トラブル対応 (同時多発的で, それなりの人数が必要だが, 全員ではない)
- (4) 結果のチェック (基本的に全員のチェックが必要であり, 人数が必要)

この分析から, 最も手間がかかるのは(4)の「結果のチェック」の部分であることが分かる。

結果のチェックのような機械的にできる部分については, LMS が有効であることが知られている[3]。幸い 2017 年度から本学では学修支援システム(WebClass; 以下では LMS と呼ぶ)が導入されており, 実験結果が定型的なものであれば, チェックを LMS に任せて自動化することができる。電気回路の実験などとは異なり, 論理回路の実験では, 結果は基本的にバイナリ(0 または 1)であるから, LMS でチェックするのが容易である。これにより, 結果のチェックの部分をほとんど LMS に委ねることができれば, 実験指導に必要な人的資源は, 全体を指導する監督者と(3)の質問/トラブル対応要員だけで済むことになる。

5. 新しい論理回路実験の詳細

前節で検討した基本構想を基に, 新しい本学科の論理回路実験を構築する。

2017 カリキュラムでも, 学科の学生実験を構成する科目は, 3 節で紹介した 4 科目である。情報関係の実験を充実させるため, 実験 I の 2 週 6 コマ, 実験 II の 3 週 9 コマを使用して, 論理回路に関する学生実験を実施する。

実験の内容については, これまで実施してきた内容にとらわれず, 現代の論理回路設計と学生が履修している講義内容を反映したものに作り変える。

5.1 実験機材

前述したように, 実習装置が陳腐化し, 現代的な設計手法に対応できないため, 2018 年度からの実験では, FPGA を搭載したボードを使用し, PC

で作成した論理回路設計データを FPGA に書き込むことで実験を行なう。旧方式と新方式の比較を表 1 に示す。

表 1 新/旧の実験方式の比較

	旧方式	新方式
回路図による設計	可	可
HDL/HLS による設計	不可	可
基本論理ゲートの使用	可	可
フリップフロップの使用	少数	多数可
1 実験装置/人の実現	不可	可
PC 環境	不要	必要
「電線」による配線	可	不可

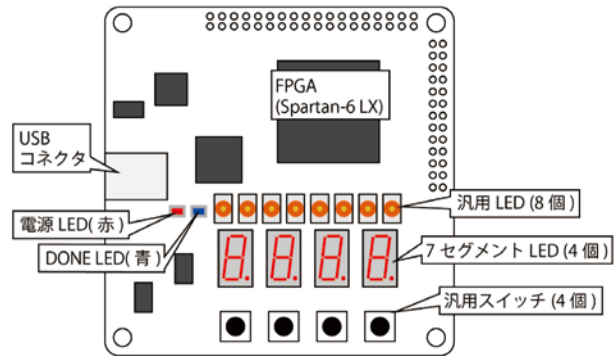


図 6 EDX007 ボードの概略図

新方式では, 回路図による設計だけでなく, HDL や HLS による設計を行えるため, 現代的な設計手法に低学年のうちから触れさせることができる。また, 使用する FPGA は数千個の論理ゲートを実装できるため, 学生実験のレベルでは, 基本論理ゲートやフリップフロップをほぼ個数の制限なく使用することができる。

表 2 EDX007 ボードの仕様

搭載 FPGA	Xilinx XC6SLX4-2TQG144C (Spartan 6 LX)
電源	USB バスパワー DC5V
消費電流	約 100mA
オンボードクロック	12MHz
外形寸法	85x85x17[mm]
重量	約 71[g]
汎用スイッチ	4 個(押しボタン)
汎用 LED	8 個(赤)
7セグメント LED	4 桁(赤)
圧電ブザー	ピエゾ式(中心周波数 4kHz)

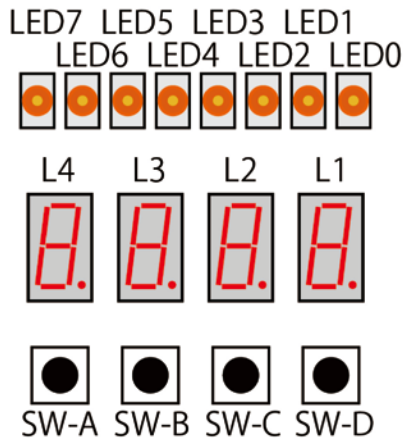


図7 EDX007 ボードのインターフェイス

新方式では、安価なボードを学生1名に対し1個ずつ用意できるため、全学生にこれまで以上に主体的な参加を求めることができる。

FPGA の設計データを作成するために PC が必要となるが、本学の PC 演習室環境をそのまま活用することができる。また、後述する LMS の利用にも PC は不可欠であるため、実験環境の PC をそのまま使うことができるとむしろ便利であるとも言える。

旧方式では、実験装置上で、物理的な「電線」を使って配線をしていたものが、新環境ではそのような経験ができないことが唯一の問題と言えるかもしれない。これに関しては、論理回路以外の実験テーマで十分にフォローすることで、解決可能であると考えられる。

新方式では、(有)ヒューマンデータ社製の EDX007 ボードを実験機材として使用する。EDX007 ボードの仕様を表2に、概略図を図6に示す。

EDX007 ボードは、入出力インターフェイスとして、図7に示すように、押しボタンスイッチ4個、汎用LED8個、7セグメントLED4桁を備え、回路への入出力として、これらを使用することができる。

FPGA への設計データの書き込みと外部からの電源供給は USB ケーブル1本で PC から行なうことができ、別付けの AC アダプタ等は不要である。PC 演習室の机上は狭いため、実験環境を簡潔にできることは重要である。

5.2 ソフトウェア環境

論理回路設計のソフトウェアとして、FPGA の製造元である Xilinx 社製の ISE Design Suite を使用する。製造元から無料で公開されており、PC 演習室環境を管理している情報サービスセンターに余分な費用負担をかけることなく導入可能なものである。ISE では HDL として、Verilog

HDL または VHDL を選択し、設計を行なうことができる。また、スキーマティックエディタの機能も有しており、回路図を使った設計を行なうこともできる。

実験指導の過程では、各学生の実験結果および進捗のチェックが必要であり、第4節で確認したように、ここに最も多くの人的資源が必要となる。新しい論理回路実験では、2017年度から本学に導入された LMS を使用し、チェック作業の省力化を図る。

5.3 新しい実験の項目と具体的な内容

実験 I の論理回路テーマは2週、実験 II は3週にわたって実施する。実験 I では ISE のスキーマティックエディタを用いて、旧方式の実験 I の内容を精選して行なう。実験 II では、Verilog HDL を用いた回路設計の基本と、複雑な順序論理回路の設計、ならびに、HLS による設計を行なう。

・実験 I の第1週

- A. 基本論理ゲートの動作の理解
スキーマティックエディタを使用。
- B. デコーダとエンコーダ
アドレスデコーダと7セグメントLEDデコーダ。
- C. 加算回路
1ビット加算回路と多ビット加算回路。

・実験 I の第2週

- A. マルチプレクサ
スキーマティックエディタを使用。
実用的な組み合わせ論理回路としてマルチプレクサの動作を確認。
- B. フリップフロップ
マルチプレクサと D-FF を組み合わせて、任意の順序論理回路を構成。
- C. カウンタ
2進カウンタ、10進カウンタ。

・実験 II の第2週

- A. Verilog HDL の基本文法
assign 文を使った組み合わせ論理回路の基本文法。
always 文を使った順序論理回路の基本文法。
- B. 基本論理ゲートの Verilog HDL での記述
単純な基本論理ゲート回路を HDL で記述する。
- C. 組み合わせ論理回路を Verilog HDL で記述
エンコーダ、デコーダを function 文で記述する

・実験 II の第2週

- A. 順序論理回路の基本

表 3 新方式の実験 I 第 1 週の単元

	内容	LMS への提出課題
単元 1	初回の起動と FPGA への書込み手順	AND ゲートの真理値表.
単元 2	スキーマティックエディタ使用の練習	OR, NAND, XOR, XNOR ゲートの真理値表.
単元 3	複数のゲートを持つ回路の作成	4 入力 AND の真理値表とその回路図.
単元 4	真理値表の理解	3 入力 1 出力回路の真理値表から積和標準形の論理式を導き, 作成した回路図.
単元 5	アドレスデコーダ	3-8 ビットアドレスデコーダの回路図.
単元 6	7セグメント LED デコーダ	7セグ LED の 1 セグメント分のデコーダの回路図.
単元 7	半加算器	半加算器の回路図.
単元 8	全加算器	全加算器の論理式.
単元 9	多ビット加算器	4 ビット加算器の回路図.

表 4 新方式の実験 I 第 2 週の単元

	内容	LMS への提出課題
単元 1	マルチプレクサの真理値表	マルチプレクサの回路図.
単元 2	複数のマルチプレクサ	4 ビットを 1 本の制御線で制御する 4 ビットマルチプレクサの回路図.
単元 3	1 ビット D-FF	クロック信号の周波数と周期の関係の計算問題.
単元 4	1 ビットカウンタ	とくになし(動作確認のみ).
単元 5	2~4 ビットカウンタ	2-4 ビットカウンタのタイミングチャート(穴埋め).
単元 6	N 進カウンタ	5進, 10進カウンタのタイミングチャート(穴埋め).
単元 7	10 進カウンタ	とくになし(動作確認のみ).

always 文の使い方をマスターする.

- B. 7セグ LED のダイナミック点灯
EDX007 ボードの 7セグ LED はダイナミック点灯によるドライブが必要.

- C. ブザーを使った音階出力
クロック信号とカウンタを組み合わせて, ブザーから PWM 変調による音を発生させる.

・実験 II の第 3 週

- A. マイクロプロセッサの実装
命令フェッチはステートマシン, 命令デコードは, デコーダで実装できることを理解する.
- B. HLS による設計
C 言語により記述したアルゴリズムを HDL に変換し, 回路設計を行なう.

これらの実験の課題ごとに, 真理値表や回路の要点に関する一問一答式の問題を LMS 上に準備しておき, それに正解するまで次の課題に進まないように指導する. これにより, 人的コストをかけずに学生の進捗を管理することができる.

一方で, 指導者によるチェックが必要なところ(回路図など)もあり, それらについては, 学生に画面のスクリーンキャプチャを LMS から提出させ, TA または教職員が手動でリアルタイムのチェックを行なう.

6. 評価

情報通信工学実験 I は 2018 年度から, 情報通信工学実験 II は 2019 年度から, それぞれ新方式に切り替える予定で準備を進めている. 本報告では, 2018 年度切り替えの実験 I について, 切り替え時の問題の洗い出しと切り替えの効果を予測するための予備評価を行なう. 実験 II についての同様の評価も 2018 年度に行なう予定である.

6.1 評価の方法

実験課題については, なるべく多くの内容を取り込みたいところではあるが, 学生個々の能力差も大きいと, 学生全員が時間内で終了できる難易度, 教職員と TA の対応能力(多数の質問に同時対応はできない)などを考慮する必要がある.

既存の実験内容を参考にしながら, 上述したように EDX007 ボードを使用する内容に変更した実験手順書を作成した. この手順書を評価対象学生に配布し, 実際に実験を行なわせ, 下記 3 点についての注意しながら, 予備実験を行なう.

- (1) 最小限の説明で実験に取り組みさせたとき, 各単元にかかる時間を計測する.
- (2) 巡視しながら, つまづきやすい箇所を把握する.
- (3) 分かりにくいところがなかったか, メモを取らせながら実験を進め, 終了後に内容の確認

も兼ねて聞き取り調査する。

対象学生は、学部3年生8名(成績は上位から下位まで分布している)とし、情報通信工学実験Ⅰの2週分(90分3コマ×2週)の範囲について、評価を実施した。実験実施の際には、60名のクラスに対して、教員1名とTA4名を配置する予定であるが、今回の予備実験では、4年生2名をTA相当として、巡視と質問等への対応を行なわせた。

実験Ⅰについては、全てISEのスキーマティックエディタを使った回路設計であり、HDLやHLSは使用しない。どの実験も入出力ピンや基本部品は配置済みのプロジェクトファイルを事前準備の上、学生に配布し、スキーマティックエディタを使って簡単な部品配置と配線をするだけで回路が完成するようにしてある。

各実験内容について検討するため、実験Ⅰの2週分のテーマを表3および表4のように単元に分割し、それぞれについて、上記(1)~(3)に基づき、評価を行なった。

6.2 所要時間とつまづきやすい箇所の分析

まず、第1週の実験について、所要時間とつまづきやすい箇所についての分析を行なう。

図8は、表3の単元ごとの各学生の所要時間を示している。グラフ中の各点は参加した各学生の所要時間であり、これが上下に広く分布しているほど学生による差異が大きかったことを意味する。実線は全学生の平均値である。8名の学生のうち、1名は単元5が終わったところで、もう1名は単元6が終わったところで時間切れとなった。したがって、単元6~9の平均値については、単元を完了した学生だけが算入されている。

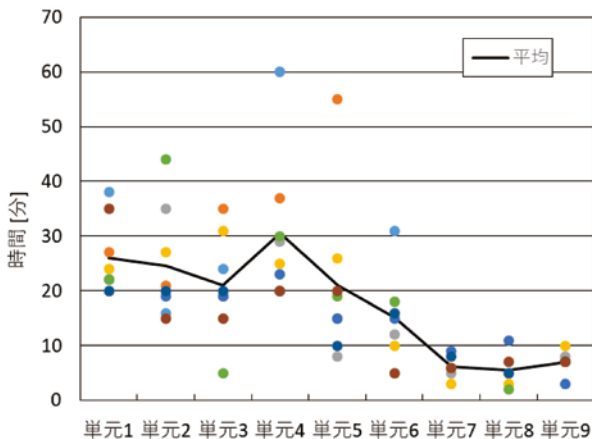


図8 実験Ⅰ第1週の内容の所要時間

図8のグラフから、単元2~6で、学生ごとの分散が大きくなっていることが分かる。

単元2と3は、回路図をPC上で作成するスキーマティックエディタを練習する単元であり、操

作に不慣れな学生が手間取ることがある。その一方、「慣れ」の問題であるため、ここで時間を取られた学生も、慣れてしまえば、その後、順調に実験を進めていけると思われる。

一方、単元4~6は、論理回路の基本原則である真理値表の理解と、真理値表を回路に落とし込んでいく作業が要求されており、基本原則が理解できていない学生は、試行錯誤に頼るだけとなり、ここで大きく時間を浪費してしまった。

単元7まで到達できた学生にとっては、その先の課題はこれまでの応用であるため、短時間で終了できている。

図9は、各学生の所要時間を積み上げ棒グラフとしたものである。実施時の時間枠は3コマ×90分であるから、合計270分あるが、基本概念や機器の取り扱いの説明に60分程度は取られるため、学生が実験実施に使える時間は正味200分程度である。図9の結果から、速い学生は130分以内で完了してしまうことが分かる。優秀な学生向けの上級課題をいくつか追加することも必要であろう。

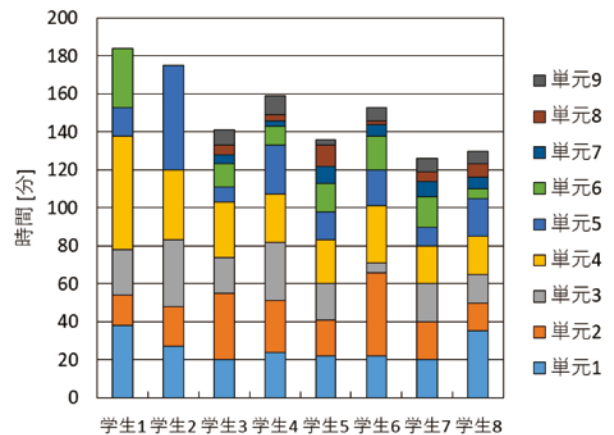


図9 実験Ⅰ第1週の学生毎の所要時間

第1週に学生が困ったことについて、メモと聞き取りで振り返りを行なったところ、「配線を間違えた」「配線を消すのに苦労した」という声があった。基本的に、指示されたところを配線するだけでよい形でプロジェクトを用意しているので、よく考えてから進めてくれれば、困ることはないはずなのだが、試行錯誤的に作業を進めてしまい、元に戻せなくなる、というパターンが多いようである。本番の実験実施に当たっては、開始時のプロジェクトをいつでもコピーできるように残しておいて、困ったら初期状態に戻すよう指導するのがよいだろう。

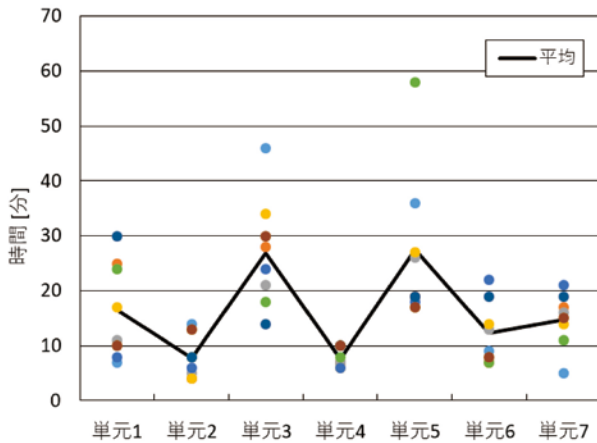


図 10 実験 I 第 2 週の内容の所要時間

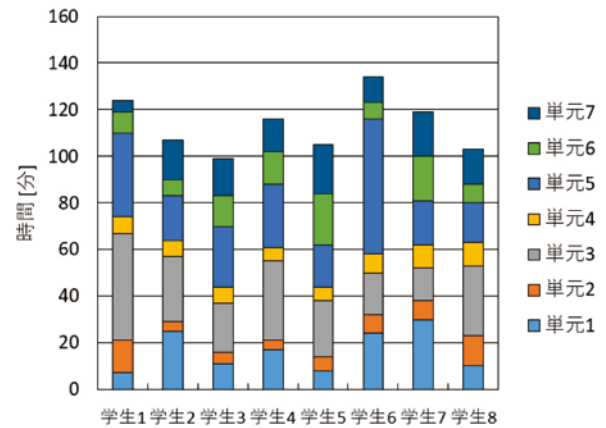


図 11 実験 I 第 2 週の学生毎の所要時間

同様に、第 2 週の評価結果について見てみよう。

図 10 は、表 4 の各単元についての所要時間である。第 1 週で基本操作はマスターしており、大きくつまづくことなく、全員が最後の単元まで終えることができた。

それでも、第 1 週と同じように、分散が大きい単元 (3 と 5) があることが分かる。

単元 3 では、クロック信号の周波数と周期の関係を計算する問題を LMS で課したのだが、情報通信分野の基礎的な事項であるにもかかわらず、多くの学生が時間を要する結果となった。情報通信領域のどの分野にも関連する基本的な概念の知識の活用に、学生たちが苦勞してしまうことが分かる。基本事項であるから分かっているはず、とすることなく、実験開始前に十分、復習させる必要があるのだろう。

単元 5 では、タイミングチャートを LMS 上で作成させている。時系列に沿って値が変わっていく、という概念と、カウンタ回路に関する理解を統合するところであり、ここでも苦戦する学生が見受けられた。

図 11 は、各学生の所要時間の積み上げ棒グラフである。第 2 週に関しては、速い学生は 100 分以内、遅い学生でも 130 分程度で完了できることが分かった。実施に向けて、単元を増やすとともに、第 1 週と同様、優秀な学生向けの上級課題をいくつか追加したい。

第 2 週について、学生が困ったことについて振り返りを行なったところ、実験の設定については、大きな困難の報告はなかった。その一方で、「クロック信号が分かっていた」「周期と周波数が良く分かっていた」という声があった。いずれも極めて基本的なことであり、実験への取り組み以前に情報通信分野の基礎概念の理解が不足しているようである。このことを踏まえ、実験前の指導に十分留意する必要がある。

6.3 LMS による省力化

表 3 および表 4 の右側に掲載しているのが、LMS 経由で学生に提出させる課題である。下記の 4 形式に分類される。

- 真理値表の記入
真理値表の出力信号部分を空欄としておく。学生は各出力信号欄について、プルダウンメニューから、0 または 1 を選択していき、真理値表を完成させる。採点は LMS により自動で行なわれる。学生は正解するまで次の課題に進めない。
- 回路図の提出
ISE のスキーマティックエディタで作成した回路をスクリーンキャプチャさせ、JPEG 形式 (.jpg) または PNG 形式 (.png) で提出させる。採点は、教員または TA が、正解の回路図と見比べて行なう。採点は 1 件あたり 30 秒以内で可能である。学生は採点が終わるまで待つ必要なく、次の課題に進んでよい。回路図に誤りが発見された場合は、完成するまで再提出させる。
- 計算問題
クロック信号の周期等について、計算問題を用意している。正解は有効数字桁数と補助単位を指定し、一意になるようにしてあり、LMS で自動採点ができる。学生には正解するまで次の課題に進めない。
- タイミングチャートの穴埋め問題
LMS 上に、空欄のあるタイミングチャートを提示し、空欄に入る数値をプルダウンメニューから入力させる。LMS で自動採点できる。学生は正解するまで次の課題に進めない。

今回の予備実験では、学生、TA とともに LMS の扱いには不慣れだったはずだが、大きな混乱もなく、LMS からの課題提出と採点を行なうことがで

きた。LMS 上から各学生の進捗状況を一覧することができ、困っている学生を把握することも容易であった。大人数の実験でも、困っている学生に TA を差し向けるなどの対応が可能であることが分かった。

教員 1 名で実験 I, II を実施するには LMS の活用が重要であり、今回の予備実験の結果から、十分に実施可能であるという成算を得ることができた。

7. まとめ

本学科では、2018 年度から実験 I, 2019 年度から実験 II の論理回路設計に関する実験テーマの更新を予定している。旧来の実験では、実験機器と指導教職員の不足、実験内容の旧弊化という問題があった。新方式の実験では、実験機器として安価な FPGA ボードを採用し、学生 1 人あたり 1 組の実験機器を確保するとともに、2017 年度に本学で導入した LMS を積極的に活用し、指導教職員の不足を補う。FPGA ボードを採用することで、これまでの回路図による論理回路設計に加え、HDL や HLS といった現代的な回路設計手法を学生に体験させられるようになる。

学生実験の更新が 2018 年度からであるため、2017 年度中に、現在の 3 年生を対象とした予備評価を行なった。学生がつまづきやすい箇所を把握するとともに、学生による実験の実所要時間を計測することができた。LMS による省力化の効果は大きく、実験の実施に向けて、目途を付けることができた。その一方、実験を行なうための基礎項目を理解できていない学生が多いことも明らかになった。実験実施の際の説明で、このことに十分留意しなければならない。学生実験を通じて、「理解できていないこと」を知り、自分で勉強していくきっかけになることが望ましい。

今後、実験 II (3 週間×3 コマ×90 分) について、HDL と HLS を使った回路設計の準備を進め、同様の予備評価を行なっていく予定である。

参 考 文 献

- [1] 石川智浩, 理論と実技を合わせた電子工学ハイブリッド教育 (直流回路分野) に関する研究, 工学教育, Vol. 65, No. 2, p. 2_38-2_42, 2017.
- [2] 田村英樹, 角田裕, 情報通信工学実験 I テキスト 2017 年度版, 東北工業大学情報通信工学科, 仙台, 2017.
- [3] 渡邊博之, C 言語演習問題コースウェアにおける学習データの MTS による評価, 工学教育, Vol. 65, No. 2, p. 2_62-2_67, 2017.
- [4] 千葉慎二, HDL 設計教育における自学自習および学生評価支援システムの開発, 工学教育, Vol. 55, No. 4, pp.4_105-4_108, 2007.
- [5] 小林 敬太, 佐藤 賢文, 神戸 英利, 三井 浩康, 学生を対象とした組込みソフトウェア技術者育成のための HW/SW トレードオフ実験方式, 工学教育, Vol. 61, No. 4, pp. 4_36-4_42, 2013.
- [6] 藤永清久, 学生に達成感を感じさせる HDL 教育の実践, 工学教育, Vol. 62, No. 1, pp.1_72-1_76, 2014.
- [7] 重村哲至, 守川和夫, 力規晃, 新田貴之, 原田耕治, 山田健仁, 教育用マイコンボードを用いた HDL 演習環境の実現, 情報処理学会研究報告コンピュータと教育(CE), Vol. 2005, No. 15(2004-CE-078), pp.43-48, 2005.
- [8] 小林優, 改訂・入門 Verilog HDL 記述, CQ 出版, 東京, 2004.
- [9] Douglas L. Perry, VHDL, 今井正治監訳, アスキー, 東京, 1996.
- [10] Xilinx Inc., Vivado Design Suite User Guide: High-Level Synthesis (UG902), 2015.